

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-207084

(43)Date of publication of application : 10.09.1991

(51)Int.Cl.

G11C 11/406

(21)Application number : 02-001874

(71)Applicant : NEC CORP

(22)Date of filing : 08.01.1990

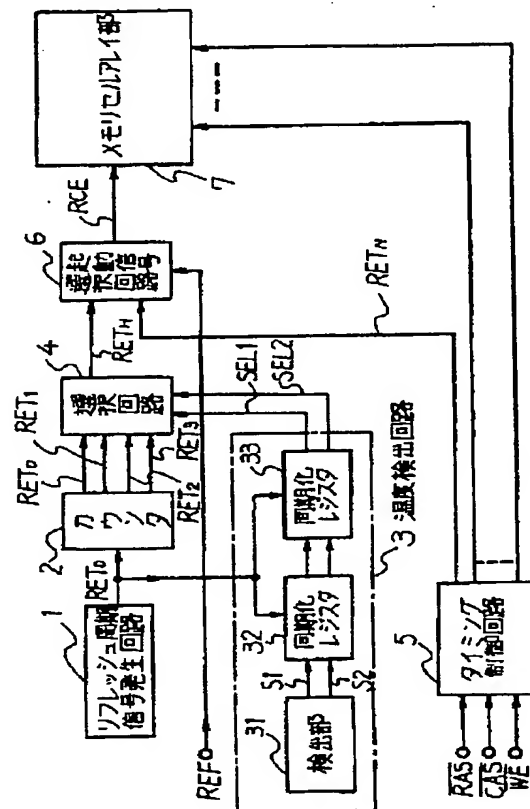
(72)Inventor : SATO TOSHIHIKO

## (54) DYNAMIC SEMICONDUCTOR MEMORY

## (57)Abstract:

**PURPOSE:** To eliminate necessity for determining a cycle in the most hostile using state and to reduce energy consumption by detecting the surrounding temperature of a memory cell array and refreshing the memory cell array at the refresh cycle coincident with the temperature.

**CONSTITUTION:** A detection part 31 of a temperature detecting circuit 3 detects the surrounding temperature of a memory cell array 7, outputs the signal of two bits and outputs a select signal synchronously with a refresh cycle signal. A select circuit 4 selects and outputs one cycle signal out of the cycle signals from a counter 2 according to the select signal. Further, an activate signal select circuit 6 selects either the cycle signal from the circuit 4 or the cycle signal from a timing control circuit 5 according to a memory hold mode signal and transmits the selected signal to the array 7 as a refresh operation activate signal. Thus, since the refresh cycle is coincident with the surrounding temperature, the energy consumption can be widely reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-207084

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月10日

G 11 C 11/406

8323-5B

G 11 C 11/34

3 6 3 L

審査請求 未請求 請求項の数 3 (全4頁)

⑮ 発明の名称 ダイナミック型半導体メモリ

⑯ 特 願 平2-1874

⑰ 出 願 平2(1990)1月8日

⑱ 発 明 者 佐 藤 敏 彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

ダイナミック型半導体メモリ

特許請求の範囲

1. 予め定められたそれぞれ異なる周期をもつ複数個の記憶保持モード時のリフレッシュ周期信号を発生するリフレッシュ周期信号発生手段と、ダイナミック型の記憶素子群を備えたメモリセルアレイ部の周囲温度を検出しこの周囲温度に応じた選択信号を出力する温度検出回路と、前記選択信号により前記リフレッシュ周期信号の一つを選択する選択回路と、通常動作モード時のリフレッシュ周期信号及び各種制御信号を発生し前記メモリセルアレイ部の書込み動作、読出し動作、リフレッシュ動作を含む各種動作を制御するタイミング制御回路と、記憶保持モード信号により前記選択回路及びタイミング制御回路の何れか一方からのリフレッシュ周期信号を選択してリフレッシュ

動作起動信号として前記メモリセルアレイ部へ伝達する起動信号選択回路とを有することを特徴とするダイナミック型半導体メモリ。

2. 温度検出回路が、温度可変型抵抗素子により周囲温度を検出する検出部を備えて構成された請求項1記載のダイナミック型半導体メモリ。

3. 温度検出回路が、ダイオード素子の順方向電圧により周囲温度を検出する検出部を備えて構成された請求項1記載のダイナミック型半導体メモリ。

発明の詳細な説明

〔産業上の利用分野〕

本発明はダイナミック型半導体メモリに関し、特に一定時間以内にリフレッシュ動作を必要とするダイナミック型半導体メモリに関する。

〔従来の技術〕

近年、半導体技術の著しい発展に伴ない、この種のダイナミック型半導体メモリを用いた記憶装置が磁気ディスクの代替として用いられている。

この場合、記憶装置への主電源が切断した際にはバックアップ電源に切換え、このバックアップ電源モード時には、ダイナミック型半導体メモリの記憶素子群の記憶情報を消失しないように一定間隔でリフレッシュ動作を行っている。

記憶素子は、一般的に通常の書き込み動作及び読出し動作を連続的にを行っている場合の方がリフレッシュ動作間隔が長いので大幅に消費電力が少ないという特色がある。

このリフレッシュ動作のみを行った場合、すなわち記憶保持状態の場合の消費電力はリフレッシュ動作を行う間隔により変化し、間隔が長くなると消費電力は少なくなる。また、リフレッシュ動作の間隔は記憶素子の記憶情報保持時間で決定され、周囲温度により大きく変動し温度が低くなると大幅に長くなる。一般的に、温度が10℃下ると2倍になる。

従って、リフレッシュ動作のみを行って記憶素子群の記憶情報の保持を行っているバッテリーバックアップ状態では、リフレッシュ動作の間隔によ

らのリフレッシュ周期信号をリフレッシュ動作起動信号RCEとして出力し、記憶保持モード信号REFが“1”の場合、リフレッシュ周期発生回路1からの出力信号をリフレッシュ動作起動信号RCEとして送出する。

第4図の従来のダイナミック型半導体メモリでは、記憶保持モードになるとリフレッシュ周期信号発生回路1からの出力で決定されるリフレッシュ周期でリフレッシュ動作の間隔が決定され、かつ記憶保持モードの間、同じ時間間隔であった。  
〔発明が解決しようとする課題〕

上述した従来のダイナミック型半導体メモリは、記憶保持モードの期間中のリフレッシュ周期が同じ時間間隔であり、温度により可変出来ない構成となっているので、最悪の使用状態に合わせてリフレッシュ周期を決定していたため、リフレッシュ周期を短くする必要がある、リフレッシュ動作による消費電力が大きくなるという欠点があった。

本発明の目的は、周囲温度によりリフレッシュ

りバッテリーの消費が大幅に変動することになる。

従来より、この種のバッテリーバックアップ付きの記憶回路に用いるダイナミック型半導体メモリとして、リフレッシュ動作のみを行う記憶保持モードを外部から制御出来る構成のものがある。

第4図は従来のダイナミック型半導体メモリの一例を示すブロック図である。

第4図において、リフレッシュ周期信号発生回路1は記憶保持モード信号REFが記憶保持モードレベルの際に用いられ、ダイナミック型のメモリセルアレイ部7のリフレッシュ動作を行う周期を決定し、タイミング制御回路5は、通常動作モード用の信号であるロウ・アドレス・ストローブ信号RAS、カラム・アドレス・ストローブ信号CAS、及びライト・イネーブル信号WEを入力としてメモリセルアレイ部7への書き込み動作、読出し動作、及びリフレッシュ動作等を行う各種タイミング信号を発生する。また、起動信号選択回路6は、記憶保持モード信号REFが“0”の場合、通常動作モード用のタイミング制御回路5か

周期を変えることができ、消費電力を低減することができるダイナミック型半導体メモリを提供することにある。

〔課題を解決するための手段〕

本発明のダイナミック型半導体メモリは、予め定められたそれぞれ異なる周期をもつ複数の記憶保持モード時のリフレッシュ周期信号を発生するリフレッシュ周期信号発生手段と、ダイナミック型の記憶素子群を備えたメモリセルアレイ部の周囲温度を検出しこの周囲温度に応じた選択信号を出力する温度検出回路と、前記選択信号により前記リフレッシュ周期信号の一つを選択する選択回路と、通常動作モード時のリフレッシュ周期信号及び各種制御信号を発生し前記メモリセルアレイ部の書き込み動作、読出し動作、リフレッシュ動作を含む各種動作を制御するタイミング制御回路と、記憶保持モード信号により前記選択回路及びタイミング制御回路の何れか一方からのリフレッシュ周期信号を選択してリフレッシュ動作起動信号として前記メモリセルアレイ部へ伝達する起動

(3)

信号選択回路とを有している。

#### 〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を示すブロック図である。

リフレッシュ周期信号発生回路1は、第4図に示された従来例と同様に、記憶保持モード時の最悪の使用状態に合わせて決定された最も短い周期をもつリフレッシュ周期信号RET。を発生する。

カウンタ2は、リフレッシュ周期信号発生回路1からのリフレッシュ周期信号RET。を入力し、このリフレッシュ周期信号RET。の周期の整数倍のそれぞれ異なる周期をもつ三つのリフレッシュ周期信号RET<sub>1</sub>、RET<sub>2</sub>、RET<sub>3</sub>とを出力する。

これらリフレッシュ周期信号発生回路1及びカウンタ2によりリフレッシュ周期信号発生手段が形成される。

なお、タイミング制御回路5は従来例と同様の機能を備えている。

第2図はこの実施例の温度検出回路3の検出部31の回路図である。

この検出部31は、二つのコンパレータ311、312と、これらコンパレータ311、312に基準電圧を与える抵抗R2、R3、R4と、周囲温度検出のための抵抗R1及び温度可変型抵抗VR1とを備え、温度可変型抵抗VR1の両端間の電圧が温度により変化するのをコンパレータ311、312により検出し、周囲温度範囲を示す2ビットの信号S1、S2を出力するようになってい

る。このように、周囲温度に合致したリフレッシュ周期とすることにより、消費電力を、最悪の使用状態で定まった従来例のリフレッシュ周期のときより大幅に低減することができる。

第3図は本発明の第2の実施例の温度検出回路の検出部の回路図である。

この実施例の検出部31Aは、温度変化をダイ

温度検出回路3は、メモリセルアレイ部7の周囲温度を検出して2ビットの検出信号を出力する検出部31と、この検出信号をリフレッシュ周期信号RET。に同期して選択信号SEL1、SEL2として出力する同期化レジスタ32、33とを備えている。

選択回路4は、選択信号SEL1、SEL2によりカウンタ2からのリフレッシュ周期信号RET。～RET<sub>3</sub>のうちの一つ(RET<sub>n</sub>)を選択して出力する。この選択、切換えの際、選択されたリフレッシュ周期信号RET<sub>n</sub>のパルス幅が短くならないように、温度検出回路3に同期化レジスタが設けられている。

起動信号選択回路6は、選択回路4からの記憶保持モード時のリフレッシュ周期信号RET<sub>n</sub>及びタイミング制御回路5からの通常動作モード時のリフレッシュ周期信号RET<sub>n</sub>の何れか一方を記憶保持モード信号REFにより選択しリフレッシュ動作起動信号RCEとしてメモリセルアレイ部7へ伝達する。

オードD1～Dnの順方向電圧により検出するようにしたものである。

#### 〔発明の効果〕

以上説明したように本発明は、メモリセルアレイ部の周囲温度を検出し、この周囲温度に合致したリフレッシュ周期でメモリセルアレイ部をリフレッシュする構成とすることにより、従来例のように最悪の使用状態でリフレッシュ周期を決定する必要がないので、消費電力を従来例より大幅に低減することができる効果がある。

#### 図面の簡単な説明

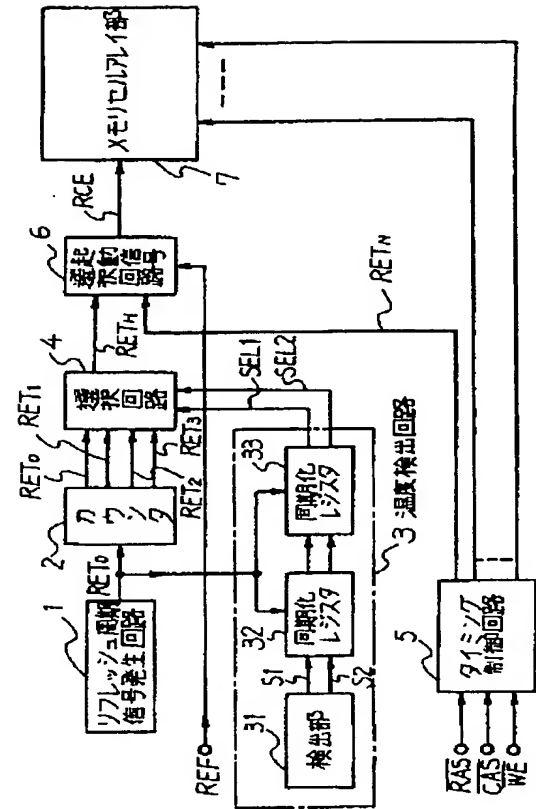
第1図は本発明の第1の実施例を示すブロック図、第2図は第1図に示された実施例の温度検出回路の検出部の回路図、第3図は本発明の第2の実施例の温度検出回路の検出部の回路図、第4図は従来のダイナミック型半導体メモリの一例を示すブロック図である。

1…リフレッシュ周期信号発生回路、2…カウンタ、3…温度検出回路、4…選択回路、5…タ

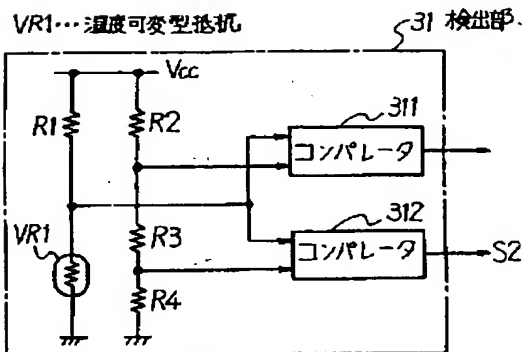
(4)

イミング制御回路、6…起動信号選択回路、7…メモリアルレイ部、31、31A…検出部、32、33…同期化レジスタ、311、312…コンパレータ、D1~Dn…ダイオード、R1~R4…抵抗、VR1…温度可変型抵抗。

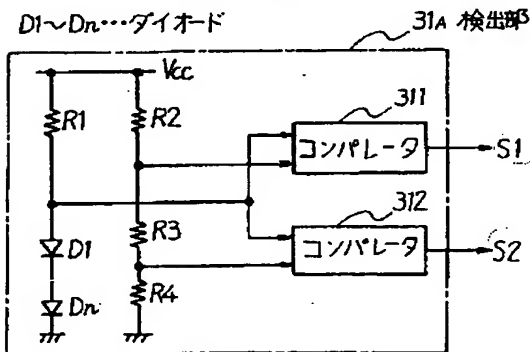
代理人 井理士 内 原 晋



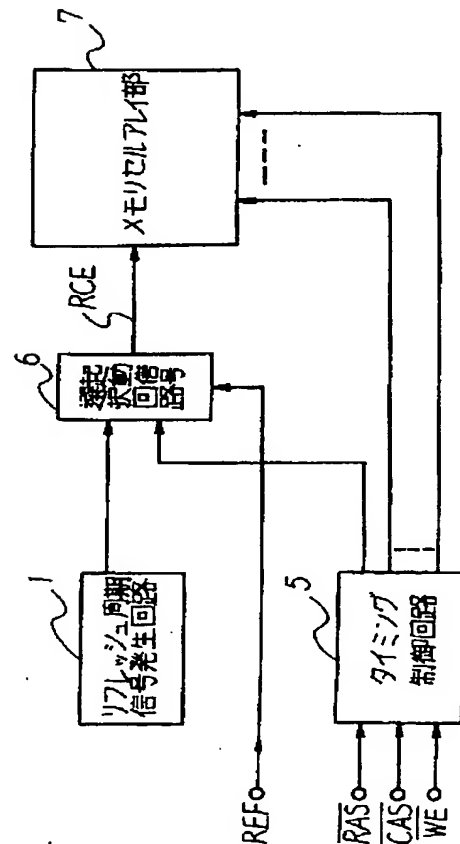
第 1 図



第 2 図



第 3 図



第 4 図